

**SCHOTTKY ELECTRODE, FORMATION THEREOF, SEMICONDUCTOR ELEMENT AND FABRICATION THEREOF**

Patent Number: JP2000106444  
Publication date: 2000-04-11  
Inventor(s): MASAHAIRA SHINOI  
Applicant(s): SANYO ELECTRIC CO LTD  
Requested Patent:  JP2000106444  
Application Number: JP19980259951 19980914  
Priority Number(s):  
IPC Classification: H01L29/872; H01L21/28; H01L21/338; H01L29/812  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To realize excellent heat resistance by providing a semiconductor of SiC, and a Schottky electrode containing Ni formed thereon.

**SOLUTION:** An n-type 4H-SiC substrate 1 is prepared and the surface thereof is subjected to cleaning where the surface of the substrate 1 is degreased, treated with mixture liquid of sulfuric acid and hydrogen peroxide water and then treated with HF solution in order to remove natural oxide from the surface. Subsequently, the n-type 4H-SiC substrate 1 is set on an Inconel substrate holder 4 placed in the chamber of a vacuum deposition system which is then evacuated. Thereafter, Schottky electrodes 3a-3d are formed of an Ni film on the n-type 4H-SiC substrate 1 through a metal mask by heating the substrate 1 by means of a heater 5 built in the substrate holder 4 keeping the high vacuum of  $1 \times 10^{-7}$  or below in the chamber. Temperature of the substrate 1 is measured by means of a thermocouple 6 buried in the substrate holder 4 on the surface side thereof.

---

Data supplied from the esp@cenet database - I2

①

## 類似技術

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-106444

(P2000-106444A)

(43) 公開日 平成12年4月11日 (2000. 4. 11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 29/872		H 0 1 L 29/48	D 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 F 5 F 1 0 2
21/338		29/48	M
29/812		29/80	M

審査請求 未請求 請求項の数 7 O L (全 7 頁)

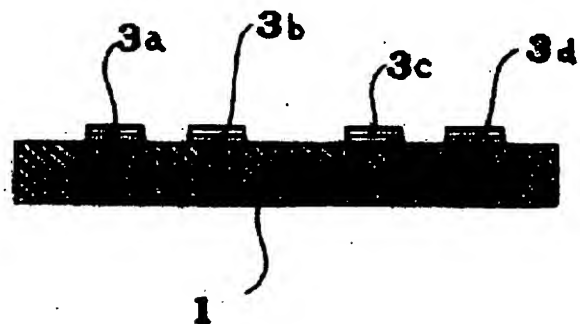
(21) 出願番号	特願平10-259951	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成10年9月14日 (1998. 9. 14)	(72) 発明者	昌原 鎭 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
(31) 優先権主張番号	特願平10-217846	(74) 代理人	100076794 弁理士 安富 耕二 (外1名)
(32) 優先日	平成10年7月31日 (1998. 7. 31)	Fターム (参考)	4M104 AA03 BB05 CC03 DD33 DD34 DD79 GG03 GG12 HH20 5F102 FA04 GB01 GC01 GD01 GJ02 GT01 HC01 HC07 HC11 HC21
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 ショットキー電極、ショットキー電極の形成方法、半導体素子、及び半導体素子の製造方法

(57) 【要約】

【課題】 本発明は、耐熱性の優れたショットキー電極、耐熱性の優れたショットキー電極の形成方法、耐熱性の優れたショットキー電極を備えた半導体素子及びその製造方法を提供することが課題である。

【解決手段】 S i Cからなる半導体1と、半導体1上に形成されたN iを含むショットキー電極3と、からなる。



【特許請求の範囲】

【請求項1】 SiCからなる半導体と、該半導体上に形成されたNiを含むショットキー電極と、を備えたことを特徴とするショットキー電極。

【請求項2】 加熱された半導体上にショットキー電極となる金属膜を気相成長法により形成することを特徴とするショットキー電極の形成方法。

【請求項3】 前記加熱は、高温加熱であることを特徴とする請求項2記載のショットキー電極の形成方法。

【請求項4】 前記半導体は、SiCからなることを特徴とする請求項2又は3記載のショットキー電極の形成方法。

【請求項5】 前記金属膜は、Niを含むことを特徴とする請求項4記載のショットキー電極の形成方法。

【請求項6】 半導体上に形成されたショットキー電極を備える半導体素子であって、上記半導体はSiCであると共に、上記ショットキー電極はNiを含む電極であることを特徴とする半導体素子。

【請求項7】 半導体上に形成されたショットキー電極を備える半導体素子の製造方法であって、前記ショットキー電極は、加熱された半導体上にショットキー電極となる金属膜を気相成長法により形成することを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ショットキー電極、ショットキー電極の形成方法、半導体素子及び半導体素子の製造方法に関する。

【0002】

【従来の技術】近年、炭化ケイ素(SiC)からなる半導体素子は耐環境性素子、パワー素子として活発に研究開発されている。特に、この半導体素子は、耐熱性に優れた素子である点が注目される。

【0003】斯る炭化ケイ素の半導体素子の代表例としては、MESFET(金属-半導体電界効果型半導体素子)がある。このMESFETもSiCからなることから、高耐熱性が期待される。

【0004】

【発明が解決しようとする課題】しかしながら、MESFETの場合、ショットキー電極とこれが形成されるSiCとの界面が熱に最も影響を受け、これが素子の耐熱性の上限を決めてしまう。

【0005】この結果、MESFETの耐熱性はSiC本来のもつ耐熱性に比べて劣るといった問題が生じる。例えば、Ptからなるショットキー電極での耐熱温度は、約500℃程度であり、SiC本来がもつ耐熱温度約1000℃に及ばない。

【0006】また、この問題は、MESFET以外のショットキー電極を備える他の半導体素子にも共通して生じる。

【0007】本発明は上述の問題点を鑑み成されたものであり、耐熱性の優れたショットキー電極、耐熱性の優れたショットキー電極の形成方法、耐熱性の優れたショットキー電極を備えた半導体素子及びその製造方法を提供することが目的である。

【0008】

【課題を解決するための手段】本発明のショットキー電極は、SiCからなる半導体と、該半導体上に形成されたNiを含むショットキー電極と、を備えたことを特徴とする。

【0009】本発明のショットキー電極は、高耐熱性を有するようにできる。この結果、この電極を用いた半導体素子では、この電極の耐熱性が向上しているので、素子の耐熱性が従来より高くできる。

【0010】Niを含むショットキー電極は、例えば金属材料としてNi単体から実質的になる電極でよい他、Niが主成分の電極が挙げられる。

【0011】本発明のショットキー電極の形成方法は、加熱された半導体上にショットキー電極となる金属膜を気相成長法により形成することを特徴とする。

【0012】加熱された半導体上に気相成長法により形成した金属膜は、その後に加熱された場合、金属膜の表面性の劣化を抑制しつつ、オーミック特性を示すようになる温度が高くなる。

【0013】従って、この方法で形成したショットキー電極を備えた半導体素子は、従来より耐熱温度が高くてできる。

【0014】加熱された半導体上に気相成長法により形成した金属膜とは、加熱された状態で半導体上に気相成長法により形成した金属膜であってよい。

【0015】特に、前記加熱は、高温加熱であることを特徴とする。

【0016】上記ショットキー電極は上記半導体の加熱温度を高くするほど、その後の環境温度が高くなってもショットキー特性を保持でき、高耐熱性を有するので、上記半導体特性が良好な範囲で高温加熱が好ましい。

【0017】また、理由は不明であるが、上記半導体の加熱温度を高くしても、環境温度が高くなった場合の表面劣化が抑えられる。

【0018】特に、ショットキー電極が所定の高温環境温度で良好なショットキー特性を有するためには、ショットキー電極の作製時の加熱温度は所定の環境温度近傍以上の温度がよく、好ましくは所定の環境温度以上にすればよい。

【0019】上記加熱は、金属膜を構成するソースが気相成長法によって半導体上に形成される際の加熱に加え、加熱手段によつての加熱を含み、金属膜を構成するソースが気相成長法によって半導体上に形成される際の加熱のみは意味しない。

【0020】特に、前記半導体は、SiCからなること

を特徴とする。

【0021】SiCは、4H-SiCが電子移動度や異方性などの素子特性の観点から好ましいが、他の結晶多系である6H-SiCや3C-SiCであってもよい。また、多結晶や非晶質であってもよい。

【0022】更に、前記金属膜は、Ni（ニッケル）を含むことを特徴とする。

【0023】従来、NiはSiCに対してオーミック電極の材料として使用されるが、本発明はこれに反してショットキー電極材料として用いる。

【0024】以下の本発明の半導体素子は上記本発明のショットキー電極が用いられ、本発明の半導体素子の製造方法は本発明のショットキー電極の形成方法が用いられる。

【0025】本発明の半導体素子は、半導体上に形成されたショットキー電極を備える半導体素子であって、上記半導体はSiCであると共に、上記ショットキー電極はNiを含む電極であることを特徴とする。

【0026】本発明ではショットキー電極が高耐熱性を有するようにできるので、素子の耐熱性が従来より高くできる。

【0027】本発明の半導体素子の製造方法は、半導体上に形成されたショットキー電極を備える半導体素子の製造方法であって、前記ショットキー電極は、加熱された半導体上にショットキー電極となる金属膜を気相成長法により形成することを特徴とする。

【0028】加熱された半導体上に気相成長法により形成した金属膜は、その後に加熱された場合、金属膜の表面性の劣化を抑制しつつ、オーミック特性を示す加熱温度が高くなる。

【0029】従って、本発明の半導体素子は、従来より耐熱温度が高くなる。

【0030】本発明の半導体素子の製造方法では、オーミック電極が存在し、オーミック特性を得るためのアニール処理や、不純物拡散領域が存在し、不純物を活性化させるための活性化アニール処理の素子形成のためのアニール処理温度が、ショットキー電極の耐熱温度以上の場合には、この耐熱温度以上の高い温度を有するアニール処理後にショットキー電極を形成する。

【0031】本発明に係る半導体素子としては、MESFETやショットキーダイオードなどのショットキー電極を備える半導体素子が挙げられる。

【0032】更に、ショットキー電極の作製時の加熱温度は、500℃以上800℃以下が好ましい。

【0033】

【発明の実施の形態】本発明の一実施形態に係るショットキー電極を図を用いて詳細に説明する。図1は4H-SiC上に形成されたNiからなるショットキー電極を示す模式構成図である。

【0034】図1中、1はn型4H-SiC基板（ドー

パント：窒素、キャリア濃度： $4 \times 10^{19} \text{ cm}^{-3}$ ）、3a~3dはn型4H-SiC基板1上に形成されたNiからなるショットキー電極である。

【0035】斯るショットキー電極は以下のように形成される。

【0036】まず最初に、n型4H-SiC基板1を準備し、その表面である（0001）面を清浄化処理する。本実施形態での清浄化処理は、基板1の上記表面をアセトン及びエタノールをこの順序で用いて脱脂処理した後、硫酸と過酸化水素水の混合液（体積比1：1）で処理し、次いでHF溶液で処理して該表面の自然酸化膜を除去する。

【0037】続いて、図2に示す真空蒸着装置のチャンバー内のインコネル製基板ホルダー4上にn型4H-SiC基板1を装着した後、真空にする。その後、基板ホルダー4に内蔵されたヒータ5によって基板1を加熱した状態で、金属マスクを介してn型4H-SiC基板1上にNi膜からなるショットキー電極3a~3dを形成する。尚、この形成時には、上記チャンバー内は $1 \times 10^{-7} \text{ Torr}$ 以下の高真空になっている。

【0038】本実施形態の場合、基板1の温度として、基板ホルダー4の表面側に埋め込まれた熱電対6によって測温した。

【0039】図3~図5にSiC基板1を加熱した状態（基板温度：700℃）で形成したショットキー電極3の成膜直後（as-deposition）、保持温度700℃、保持温度800℃でアニール処理した試料の電気特性（I-V特性）を3端子法により求めた結果をそれぞれ示す。ここで、アニール処理は流量2 l/分のAr（アルゴン）ガス雰囲気中で上記保持温度を10分間保持した。尚、図中、逆バイアス時の電流プロフィールは測定方法に依存したものであると考えられる。

【0040】図3から、成膜直後ではショットキー電極3が良好なショットキー特性を有することが判る。

【0041】図4からは、ショットキー電極3は保持温度700℃、10分間でアニール処理した後も良好なショットキー特性を有することが判る。

【0042】図5からは、ショットキー電極3は保持温度800℃、10分間でアニール処理した後はオーミック特性に近い特性を有することが判る。

【0043】図6~図8に基板1を加熱した状態（基板温度：200℃）で形成したショットキー電極3の成膜直後（as-deposition）、保持温度700℃、保持温度800℃でアニール処理した場合の電気特性（I-V特性）をそれぞれ示す。ここで、アニール処理条件は、保持温度以外、図3~図5と同じである。

【0044】図6から、成膜直後ではショットキー電極3が良好なショットキー特性を有することが判る。

【0045】図7からは、ショットキー電極3は保持温度700℃、10分間でアニール処理した後はオーミ

ック特性に近い特性を有することが判る。

【0046】図8からは、ショットキー電極3は保持温度800℃、10分間でアニール処理した後はショットキー特性を有さず、良好なオーミック特性を有することが判る。

【0047】上記図3～図8から、ショットキー電極3は上述のように成膜時の基板温度が高ければ、その後の環境温度が高くなってもショットキー特性を保持でき、高耐熱性を有する。

【0048】特に、図3～図5からは、ショットキー電極3が所定の高環境温度で良好なショットキー特性を有するため、ショットキー電極3は少なくとも成膜時に所定の環境温度及びその近傍以上の基板温度にすればよいことが判る。

【0049】しかも、基板温度が700℃の試料は700℃、800℃でアニール処理してもショットキー電極3の表面の劣化は少なかった。

【0050】更に、図9は基板1を基板温度800℃で加熱した状態で形成したショットキー電極3の成膜直後(as-deposition)の電気特性(I-V特性)である。

【0051】この図9から、基板温度800℃の場合、成膜直後にオーミック特性に比較的近い特性を有するので、基板温度は800℃以下が好ましいことが判る。

【0052】また、基板温度500℃の場合は、電極3の表面状態が基板温度200℃の場合と基板温度700℃の間にあり、ショットキー特性の観点から従来以上の耐熱性をもつためには500℃以上の基板温度が好ましい。

【0053】本発明の一実施形態に係るMESFETを図を用いて詳細に説明する。図9は本実施形態のMESFETの概略模式構成図である。

【0054】図10中、11はn型4H-SiC基板(ドーパント：窒素、キャリア濃度： $2 \times 10^{18} \text{ cm}^{-3}$ )、12はn型SiCエピタキシャル層(ドーパント：Al、キャリア濃度： $7 \times 10^{16} \text{ cm}^{-3}$ )、13はp型SiCエピタキシャル層12上に形成された0.5μm厚のn型4H-SiCエピタキシャル層(ドーパント：窒素、キャリア濃度： $2 \times 10^{17} \text{ cm}^{-3}$ )、14a、14bはn型SiCエピタキシャル層13内に互いに離間して形成された100nm厚のコンタクト領域としてのn<sup>+</sup>型不純物注入領域(キャリア濃度： $10^{19} \text{ cm}^{-3}$ 前後)である。

【0055】15a、15bはn<sup>+</sup>型不純物注入領域14a、14b上にそれぞれ形成された800nm厚のNi膜からなるオーミック電極、16はn型SiCエピタキシャル層13上に形成された400nm厚のNi膜からなるショットキー電極である。

【0056】斯るMESFETの製造方法を図11を用

いて説明する。

【0057】まず、図11(a)に示すように、n型4H-SiC基板11上に、p型4H-SiCエピタキシャル層12及びn型4H-SiCエピタキシャル層13がCVD法(化学蒸着法)によりこの順序でエピタキシャル成長される。

【0058】その後、n型4H-SiCエピタキシャル層13内であって互いに離間する領域にN<sup>+</sup>イオンを高温イオン注入法により注入した後、ドーパントの活性化処理としてAr雰囲気中、1150℃、30分アニール処理する。尚、注入条件は、基板温度が400～1000℃、加速電圧30keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ である。

【0059】次に、図11(b)に示すように、n<sup>+</sup>型不純物注入領域14a、14b上に基板加熱しない状態(成膜前の基板温度は25℃程度)で800nm厚のNi膜を真空蒸着法により形成し、その後、1000℃で5分間アニール処理してNi膜からなるオーミック電極15a、15bを形成する。

【0060】続いて、図11(c)に示すように、n型4H-SiCエピタキシャル層13上に基板温度を700℃とした状態でNi膜を真空蒸着法により形成し、Niからなるショットキー電極16を形成して完成する。

【0061】斯るMESFETは、耐熱性の上限温度を規定するショットキー電極16がNiからなるので、高耐熱特性が得られる。

【0062】特に、ショットキー電極16は基板温度700℃で成膜されるので、素子環境温度700℃で十分なショットキー特性を保持でき、この結果、素子自体も従来より高温で動作可能となる。

【0063】なお、上述のMESFETは導伝型を逆導伝型とした構成でもよい。

【0064】また、本発明はMESFET以外にショットキーダイオード等の半導体素子にも適用できる。

【0065】

【発明の効果】本発明では、耐熱性の優れたショットキー電極、耐熱性の優れたショットキー電極の形成方法、耐熱性の優れたショットキー電極を備えた半導体素子及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るショットキー電極の概略模式構成図である。

【図2】上記実施形態に係るショットキー電極を形成する真空蒸着装置の基板ホルダーの概略断面図である。

【図3】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図4】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図5】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図6】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図7】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図8】上記実施形態に係るショットキー電極の電気特性を示す図である。

【図9】上記実施形態に係るショットキー電極の電気特性を示す図である。

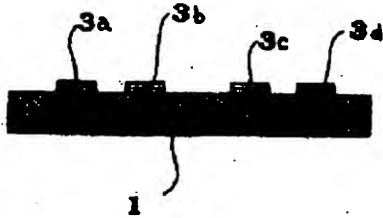
【図10】本発明の一実施形態に係るMESFETの概略模式構成図である。

【図11】上記MESFETの製造工程図である。

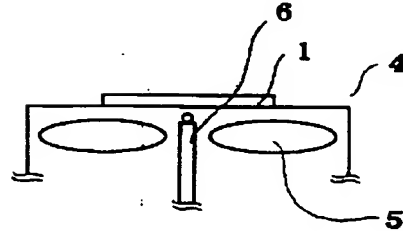
【符号の説明】

- |       |              |
|-------|--------------|
| 1     | n型SiC基板      |
| 3a~3d | ショットキー電極     |
| 13    | n型SiCエピタキヤル層 |
| 16    | ショットキー電極     |

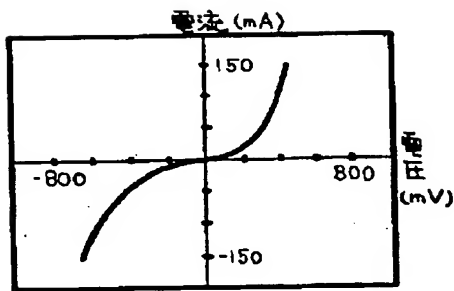
【図1】



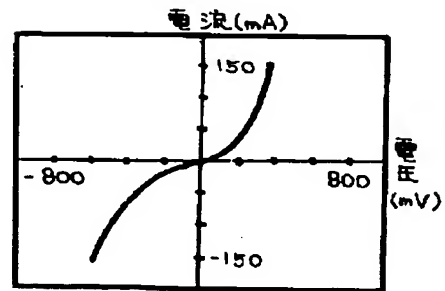
【図2】



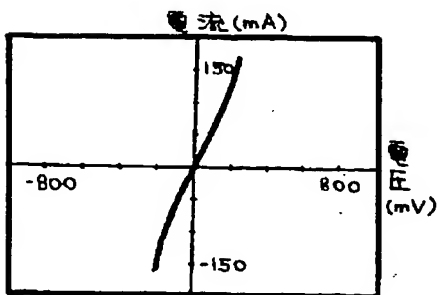
【図3】



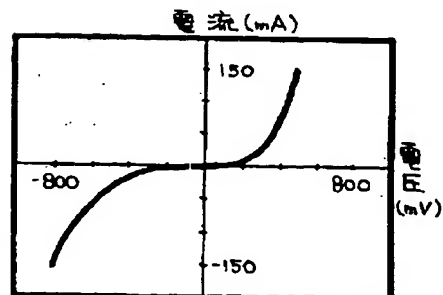
【図4】



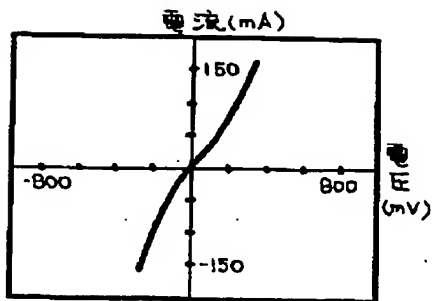
【図5】



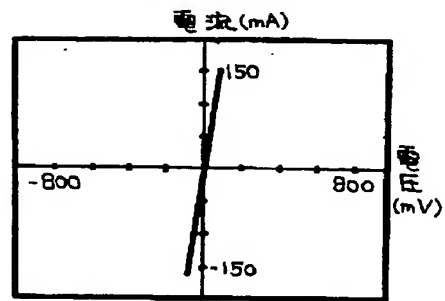
【図6】



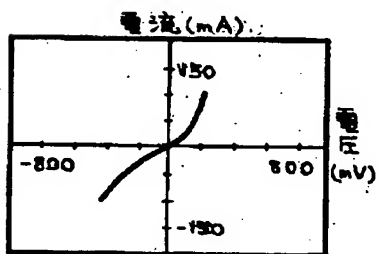
【図7】



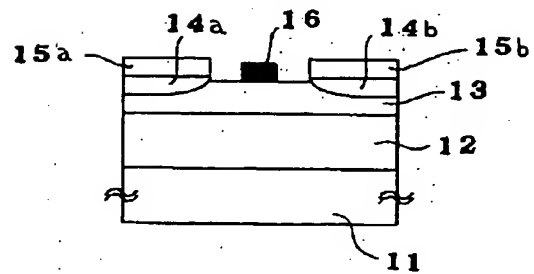
【図8】



【図9】



【図10】



【図11】

